

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-036245

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

H05K 3/46

H05K 3/00

H05K 3/20

(21)Application number : 11-209085

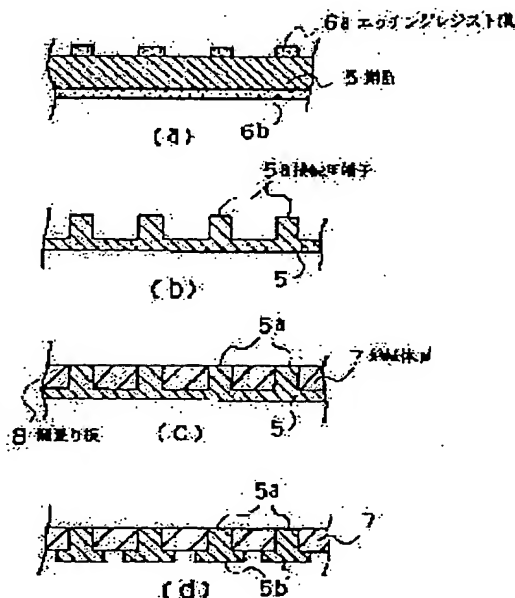
(71)Applicant : YAMAICHI ELECTRONICS CO LTD

(22)Date of filing : 23.07.1999

(72)Inventor : YONEZAWA AKIRA
OSHIRO HIROYASU**(54) MANUFACTURE OF WIRING BOARD****(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a method for manufacture in which an interposer board, etc., that performs test and evaluation of electrical characteristics for an IC element or an IC package with accuracy is supplied with ease.

SOLUTION: This manufacturing method contains a process wherein one principal surface and the other principal surface of a conductive metal foil of thin plate 5 is coated selectively with etching resist films 6a and 6b, a process wherein one principal surface of the metal foil or thin plate 5 coated with the etching resist films 6a and 6b is half-etched to provide connecting terminals 5a protruding from one principal surface, a process wherein an insulator layer 7 is laminated on the surface where the connecting terminal 5a is provided, a process wherein the boards are laminated integrally by pressurizing and a tip part of the connecting terminal 5a is made to penetrate and exposed from a surface of the insulator layer 7, and a process wherein the integrated metal foil or thin plate 5 is etched selectively to form external connection parts 5a that are separately connected to the connecting terminals 5a.

**LEGAL STATUS**

[Date of request for examination] 26.12.2000

[Date of sending the examiner's decision of rejection] 20.08.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-36245
(P2001-36245A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 5 K	3/46	H 0 5 K 3/46	G 5 E 3 4 3
	3/00	3/00	W 5 E 3 4 6
	3/20	3/20	Z

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平11-209085

(22) 出願日 平成11年7月23日 (1999.7.23)

(71) 出願人 000177690

山一電機株式会社

東京都大田区中馬込3丁目28番7号

(72) 発明者 米沢 章

東京都大田区中馬込3丁目28番7号 山一電機株式会社内

(72) 発明者 大代 裕康

東京都大田区中馬込3丁目28番7号 山一電機株式会社内

(74) 代理人 100077849

弁理士 須山 佐一

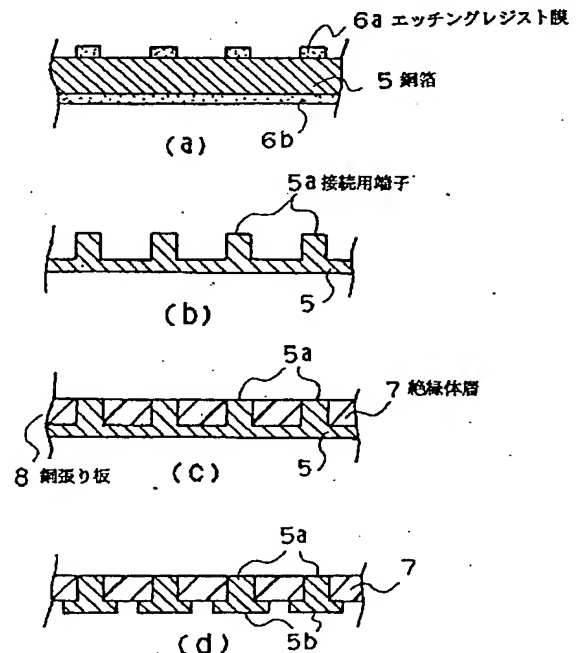
最終頁に続く

(54) 【発明の名称】 配線板の製造方法

(57) 【要約】

【課題】 IC素子もしくはICパッケージを対象とした電気特性の試験評価を精度よく行えるインターポータ基板などを容易に供給できる製造法の提供。

【解決手段】 導電性の金属箔ないし薄板5の一主面および他主面に選択的に、エッチングレジスト膜6a, 6bを被覆形成する工程と、前記エッチングレジスト膜6a, 6b膜を被覆形成した金属箔ないし薄板5の一主面をハーフエッチングし、接続用端子5aを一主面に突起状に形設する工程と、前記接続用端子5aの形設面に絶縁体層7を積層配置する工程と、前記積層体を加圧一体化し、接続用端子5aの先端部を絶縁体層7面に貫挿・露出させる工程と、前記一体化した金属箔ないし薄板5を選択エッチングし、接続用端子5aに互いに分離接続する外部接続部5bを形成する工程とを有することを特徴とする配線板の製造方法である。



【特許請求の範囲】

【請求項1】 導電性の金属箔ないし薄板の一主面および他主面に選択的に、エッチングレジスト膜を被覆形成する工程と、

前記エッチングレジスト膜を被覆形成した金属箔ないし薄板の一主面をハーフエッチングし、接続用端子を一主面に突起状に形設する工程と、

前記接続用端子の形設面に絶縁体層を積層配置する工程と、

前記積層体を加圧一体化し、接続用端子の先端部を絶縁体層面に貫挿・露出させる工程と、

前記一体化した金属箔ないし薄板を選択エッチングし、接続用端子に互いに分離接続する外部接続部を形成する工程と、を有することを特徴とする配線板の製造方法。

【請求項2】 導電性の金属箔ないし薄板が銅製であることを特徴とする請求項1記載の配線板の製造方法。

【請求項3】 絶縁体層が少なくとも熱可塑性樹脂を含有していることを特徴とする請求項1もしくは請求項2記載の配線板の製造方法。

【請求項4】 絶縁体層面へ露出する接続用端子面に柔軟性の金属層を設ける工程を含むことを特徴とする請求項1ないし請求項3いずれか一記載の配線板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子もしくはICパッケージに組み込まれるCSP用やBGA用インターポーザ基板に適する配線板の製造方法に関する。

【0002】

【従来の技術】たとえばIC素子は、Siウェハーに多数個形成され、このウェハー状態で一応の電気的な評価（初期評価）を行い、合格品と判定されたベアチップICをパッケージング（もしくはアセンブリ）した後に、最終評価が行われて良品、不良品に判定され、良品は実用に供されている。

【0003】なお、ベアチップICをパッケージ化した場合、配線板の実装面の有効な活用という点から、半導体装置（半導体素子）の一主面（たとえば裏面）側に、電極を引き出した構成が採られている。また、マザー基板に対するIC素子もしくはICパッケージの実装（接続パッドとの接合）を容易にするため、予め、各電極面に半田ボールを形成した構成（BGA、CSPパッケージ）が採られることもある。

【0004】ここで、初期評価で良品と判定されたベアチップICは、パッケージングなどした後の不合格品は、ICパッケージを不良品として処分することになる。つまり、結果的には、この試験で不良品となるベアチップICをパッケージングしたことになるので、IC素子自体の初期評価試験およびICパッケージ後の試験評価は、最終的な製品である実装回路装置の信頼性確保の上で不可避な

試験といえる。

【0005】また、上記試験評価においては、より信頼性の高い特性評価を行うために、試験装置本体側の配線板端子とICパッケージの電極との間に、ソケットを介して接続するのが通例である。しかし、最近、特性評価試験の高速化のため、ソケットの代わりに（ソケットの省略）、フレキシブル配線板（インターポーザ基板）を介挿する方式が採られている。

【0006】図4は、従来使用されているインターポーザ基板の要部構成を示す断面図であり、1は絶縁体層、2は前記絶縁体層1の一主面に形成・配置された接続用端子、3は前記各接続用端子2に一端が電気的に接続し、他端側が絶縁体層1の他主面にそれぞれ貫挿・導出された外部接続部である。そして、この種のインターポーザ基板は、一般的に、次のような手段で製造されている。

【0007】すなわち、まず、両面銅張り積層板を用意し、所要の位置関係および間隔を置いて、ドリルなどにより孔明け加工し、この孔の内壁面をメッキ金属層化するか、あるいは導電体を充填し両面間を導電接続（層間導電体）4を行う。次いで、前記両面の銅箔について、選択的なフォトリソエッチングを施して、対応する接続用端子2および外部接続部3同士が、絶縁体層1を貫挿する層間導電体4で電気的に接続された構造のインターポーザ基板を製造している。

【0008】

【発明が解決しようとする課題】しかしながら、上記インターポーザ基板の製造方法は、工程が煩雑であるばかりでなく、接続用端子の配置やピッチなどにも制約がある。すなわち、両面銅張り積層板の孔明け加工に当たっては、穿設加工器具の進歩があるとはいえ、微小孔径の穿設に限界がある。また、微小孔径の穿設が可能であっても、微小孔径内の導電性化が困難で、電気的な接続の信頼性が損なわれやすいという問題がある。

【0009】特に、IC素子もしくはICパッケージの電極が微細・微小ピッチ化した場合、もしくは高性能・高信頼性が要求される用途の場合など、上記両面銅張り積層板を素材として製造するインターポーザ基板などは、その構造ないし形態に起因する接続の信頼性が、実用上、由々しき問題を提起するといえる。

【0010】本発明は上記事情に対処してなされたもので、IC素子もしくはICパッケージを対象とした電気的な接続・実装、あるいは電気特性の試験評価などに適する配線板を容易に供給できる製造法の提供を目的とする。

【0011】

【課題を解決するための手段】請求項1の発明は、導電性の金属箔ないし薄板の一主面および他主面に選択的に、エッチングレジスト膜を被覆形成する工程と、前記エッチングレジスト膜を被覆形成した金属箔ないし薄板の一主面をハーフエッチングし、接続用端子を一主面に

突起状に形設する工程と、前記接続用端子の形設面に絶縁体層を積層配置する工程と、前記積層体を加圧一体化し、接続用端子の先端部を絶縁体層面に貫挿・露出させる工程と、前記一体化した金属箔ないし薄板を選択エッチングし、接続用端子に互いに分離接続する外部接続部を形成する工程と、を有することを特徴とする配線板の製造方法である。

【0012】請求項2の発明は、請求項1記載の配線板の製造方法において、導電性の金属箔ないし薄板が銅製であることを特徴とする。

【0013】請求項3の発明は、請求項1もしくは請求項2記載の配線板の製造方法において、絶縁体層が少なくとも熱可塑性樹脂、特に、好ましくは液晶ポリマーを含有していることを特徴とする。

【0014】請求項4の発明は、請求項1ないし請求項3いずれか記載の配線板の製造方法において、絶縁体層面へ露出する接続用端子面に柔軟性の金属層を設ける工程を含むことを特徴とする。

【0015】請求項1ないし請求項4の発明において、導電性の金属箔ないし薄板は、たとえば厚さ10～70 μm 程度の銅箔、アルミ箔、ニッケル箔、金箔、ステンレス鋼箔などの導電体である。そして、この金属箔ないし薄板のハーフエッチング、換言すると片面側における突起状の接続用端子の形設は、片面側の選択的なフォトリソエッチングで行われる。

【0016】なお、導電体は、経済性および加工性の点などから銅箔が適し、また、薄板などのハーフエッチングに当たって、薄板などの厚さによっては、突起状の接続用端子の形設面だけでなく反対面（裏面）をも、一次的に、エッチングしておいてもよい。さらに、ハーフエッチングで形設した突起状の接続用端子の先端面に、たとえば半田類、金や銀などの柔軟性の金属層を設けておくと、IC素子などの電極に対する良好な対接性を付与できる。

【0017】請求項1ないし請求項4の発明において、絶縁体層は、たとえばエポキシ樹脂、フェノール樹脂、ポリイミド樹脂、ポリカーボネート樹脂、ホットメルト接着剤、ポリビニルブチラール樹脂、ニトリルラバー、フェノキシ樹脂、酢酸ビニル樹脂、ポリアミド樹脂、ポリアミドイミド樹脂、液晶ポリマー、ポリエーテルエーテルケトン樹脂、ポリエーテルイミド樹脂などの1種もしくは2種以上の混合系、または、前記樹脂とガラスクロスやマット、合成繊維や布などとを組み合わせたシート状（もしくはフィルム状）のものが挙げられる。そして、これら樹脂系シートは、たとえば厚さ25～150 μm 、好ましくは30～120 μm 程度である。

【0018】特に、液晶ポリマーは、吸湿性がほとんどなく、誘電率が約3.0(1MHz)程度であり、広い周波数領域で安定しているので好ましい。ここで、液晶ポリマーから成る絶縁体層（膜）厚は、たとえば厚さ30～100 μm

m程度である。また、液晶ポリマーは、たとえばキシダール（商品名、Dartco社製）、ベクトラ（商品名、Celanese社製）で代表される多軸配向の熱可塑性ポリマーである。

【0019】そして、液晶ポリマーは、その分子構造によって、その融点なども異なっており、同一の分子構造でも、結晶構造や添加物によって融点変動する。たとえばベクトランAタイプ（融点、285℃）、ベクトランCタイプ（融点、325℃）、BIACフィルム（融点、335℃）などが例示される。

【0020】請求項1ないし請求項4の発明では、IC素子やICパッケージの電極に接触する接続用端子が互いに絶縁離隔し、絶縁体層を貫通・配置した構成において、前記接続用端子および外部接続部が一体に形成されたインターポーザ基板ないし配線板が提供できる。すなわち、インターポーザ基板などは、単一の導電性金属箔などの選択的なハーフエッチングにより、接続用端子および外部接続部が一体的に形成され、かつ接続用端子は相互が絶縁離隔し、絶縁体層を貫挿した構成を採っている。

【0021】ここで、接続用端子などがエッチング手段で形成されるため、接続用端子などの微細化や微小ピッチ化も可能となる。また、微細化や微小ピッチ化された接続用端子は、貫挿する絶縁体層により、相互の絶縁が確実に行われるとともに、機械的に補強された状態を維持する。したがって、電氣的・機械的にも信頼性の高いインターポーザを容易に提供できることになる。

【0022】特に、請求項3の発明で液晶ポリマーを使用した場合は、吸湿性がほとんどなく、また、誘電率も小さい液晶ポリマーを主成分とする絶縁体層を備えているため、外界の影響などが試験評価に及ぶ恐れもなく、より信頼性の高い試験評価もしくは電氣的な接続が可能となる。

【0023】

【発明の実施の形態】以下図1(a)～(d)、図2および図1(a)～(e)を参照して実施例を説明する。

【0024】図1(a)、(b)、(c)、(d)は、第1の実施例の実施態様を工程順に模式的に示す要部の断面図である。

【0025】まず、導電性の金属箔ないし薄板、たとえば厚さ70 μm の電解銅箔を用意し、図1(a)に示すように、この電解銅箔5の一主面および他主面に選択的に、エッチングレジスト膜6a、6bを被覆形成する。ここで、エッチングレジスト膜6aは、径30 μm 程度の円形（方形でも可）で、80 μm 程度のピッチで格子状に設けてある。

【0026】次いで、塩化第2銅水溶液をエッチング液として、前記エッチングレジスト膜6a、6bを被覆形成した電解銅箔5について、ハーフエッチング処理を施して、電解銅箔5を選択エッチングし、片面側に、所定径・所定ピッチで突起（凸状）部を形設する。ここで、ハーフエッチング（エッチング除去する膜厚）の程度は、

たとえば電解銅箔5の厚さが、70 μm のときは58 μm 程度、厚さが50 μm のときは38 μm 程度、厚さが35 μm のときは23 μm 程度が好ましい。

【0027】なお、このハーフエッチング処理において、電解銅箔5の厚さによっては、エッチングレジスト膜6bを省略して、反対面側から薄膜化を行ってもよい。このハーフエッチング処理後、前記エッチングレジスト膜6a、6bを、アルカリ水溶液で剥離ないし溶解・除去することにより、図1(b)に示すように、一主面に接続用端子5aが凸状に形設された電解銅箔5が得られる。

【0028】その後、前記接続用端子5aを形設した電解銅箔5面に絶縁体層を積層・配置し、この積層体を加圧一体化すると、図1(c)に示すように、接続用端子5aの先端部が絶縁体層7面に貫挿・露出した銅張り板8を作製する。ここで、絶縁体層7は、たとえば厚さ50 μm 程度の液晶ポリマーシートであり、また、加圧一体化は、300 $^{\circ}\text{C}$ 程度に加熱された加圧体を使用し、40 kgf/cm^2 程度の圧力で行った。

【0029】次に、前記銅張り板8の銅箔5面に、エッチングレジスト膜をパターンニングし、塩化第2銅水溶液をエッチング液として、選択エッチングを行って、前記接続用端子5a対応し、かつ互いに分離接続する外部接続部5bを形成する。その後、銅箔5面に設けてあるエッチングレジスト膜を溶解・除去することによって、図1(d)に示すような配線板(インターポーザ基板)が得られる。

【0030】なお、上記製造工程において、接続用端子5aを形設した電解銅箔5面に絶縁体層7を積層・配置し、この積層体を加圧一体化するとき、図2に要部構成を断面的に示すごとく、突起ないし凸状の接続用端子5aの外周面に、たとえば金などの柔軟な金属層9を設けておいてもよい。

【0031】上記構成のインターポーザ基板は、一主面に先端部が格子状に露出する接続用端子5a面に、ICパッケージのパッド、もしくはパッド面に一体的に設けられているボール形電極が対接される。つまり、通電試験するために、前記インターポーザ基板を位置決め配置し、試験評価装置の配線端子とインターポーザ基板の外部接続部5bを対接・接触させる。一方、前記位置決め配置したインターポーザ基板の接続用端子5aに、ICパッケージのパッドもしくはボール形電極などを対応させて位置決め配置し、電気的な対接・接触を行う。

【0032】この状態において、ICパッケージなどのパッドもしくはボール形電極は、絶縁体層(絶縁支持体)と同一面を成して露出する接続用端子5a面に対接・接触し、導電性バンプを介して外部接続部5bに、さらには、試験評価装置の配線端子に電気的に接続して、所要の電気的特性の試験評価が行われる。しかも、このインターポーザ基板においては、接続用端子5aおよび外部接続部5bが一体化し、かつ接続用端子5aが絶縁体層7を互いに

絶縁・離隔して配置されている。つまり、接続用端子5a相互は、確実な絶縁、機械的な補強などによって、信頼性の高い電気的な接続・接触が行われる。したがって、ICパッケージなどの通電試験において、インターポーザ基板の接続用端子5aなどに起因する接続異常ないし不良などは、全面的に回避ないし解消し、信頼性の高い試験評価が行われる。

【0033】図3(a)、(b)、(c)、(d)、(e)は、第2の実施例の実施態様を工程順に模式的に示す要部の断面図である。

【0034】まず、導電性の金属箔ないし薄板、たとえば厚さ50 μm の電解銅箔を用意し、第1の実施例の場合に準じて、電解銅箔5の一主面および他主面に選択的に、エッチングレジスト膜を被覆形成する。次いで、塩化第2銅水溶液をエッチング液として、前記エッチングレジスト膜を被覆形成した電解銅箔について、ハーフエッチング処理を施して、電解銅箔を選択エッチングする。その後、前記エッチングレジスト膜を、アルカリ水溶液で剥離ないし溶解・除去することにより、図3(a)に示すように、一主面にパターン5a'が凸状に形設された電解銅箔5'が得られる。

【0035】次いで、前記パターン5a'を形設した電解銅箔5'面に、図3(b)に示すように、絶縁体層7を積層・配置し、この積層体を加圧一体化すると、図3(c)に示すように、パターン5a'が絶縁体層7に埋め込まれた銅張り板8'を作製する。ここで、絶縁体層7は、たとえば厚さ50 μm 程度の液晶ポリマーシートであり、また、加圧一体化は、300 $^{\circ}\text{C}$ 程度に加熱された加圧体を使用し、40 kgf/cm^2 程度の圧力で行った。

【0036】次に、前記銅張り板8'の銅箔5'面に、エッチングレジスト膜をパターンニングし、塩化第2銅水溶液をエッチング液として、選択エッチングを行って、前記接パターン5a'に接続部5b'を形成する。その後、銅箔5'面に設けてあるエッチングレジスト膜を溶解・除去することによって、図3(d)に示すような配線板10'が得られる。

【0037】上記配線板10'の製造方法と同様な工程で、この配線板10'と対になる配線板10''を作製し、これら配線板10'、10''を絶縁層7を介して積層し、加熱・加圧一体化することにより、図3(e)に示すような配線板10を得た。

【0038】なお、上記製造工程において、絶縁体層7を積層・配置し、この積層体を加圧一体化するとき、形設した接続部5b'面に、たとえば半田や金などの柔軟な金属層を設けておいてもよい。

【0039】また、この配線板10について、配線板において一般的に行われる試験評価をしたところ、すぐれた電気的な特性を保持していることが確認された。

【0040】本発明は、上記実施例に限定されるものでなく、発明の趣旨を逸脱しない範囲でいろいろの変形を

(5)

特開 2001-36245

8

採ることができる。

【0041】

【発明の効果】請求項1ないし請求項4の発明によれば、単一の導電性金属箔などの選択的なハーフエッチングにより、接続用端子および外部接続端子が一体的に形成され、かつ接続用端子は相互が絶縁隔離し、絶縁体層を貫挿した構成のインターポーザを容易に製造できる。すなわち、接続用端子などをエッチングで形成するため、接続用端子などの微細化や微小ピッチ化も可能であるだけでなく、微細化や微小ピッチ化された接続用端子は、貫挿する絶縁体層により、相互の絶縁が確実に行われ、かつ機械的に補強された状態を維持する。したがって、電氣的・機械的にも信頼性の高いインターポーザを提供できる。

【図面の簡単な説明】

【図1】(a), (b), (c), (d) は第1の実施例に係るインターポーザの製造実施態様を工程順に模式的に示す*

* 断面図。

【図2】図1の実施態様(c) の変形例を示す断面図。

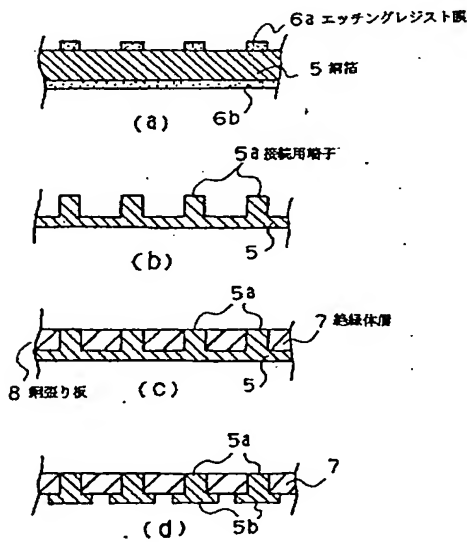
【図3】(a), (b), (c), (d), (e) は第2の実施例に係る配線板の製造実施態様を工程順に模式的に示す断面図。

【図4】従来のインターポーザの要部構成を拡大して示す断面図。

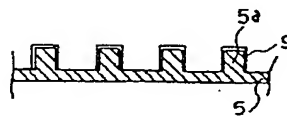
【符号の説明】

- 1, 7 ……絶縁体層
- 2, 5a ……接続用端子
- 3, 5b ……外部接続部
- 4 ……層間導電体 (導電性バンプ)
- 5, 5' ……銅箔
- 5a' ……パターン
- 6a, 6b ……エッチングレジスト膜
- 8, 8' ……同張り板
- 10, 10', 10'' ……配線板

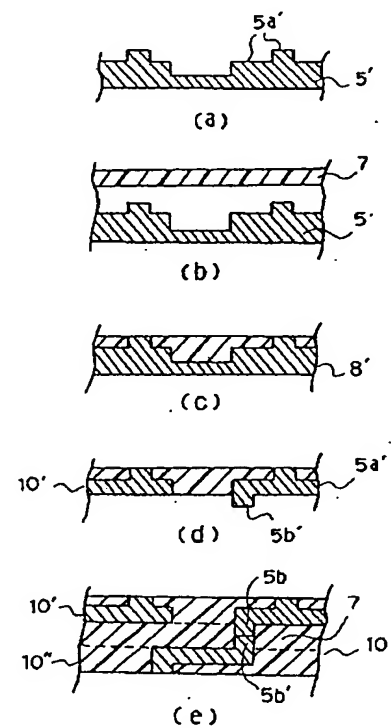
【図1】



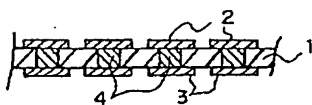
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 5E343 AA12 BB24 BB67 CC46 CC62
DD76 ER11 GG08
5E346 BB16 CC58 DD02 DD12 DD32
DD48 EE02 EE08 EE13 GG22
GG28 HH26